

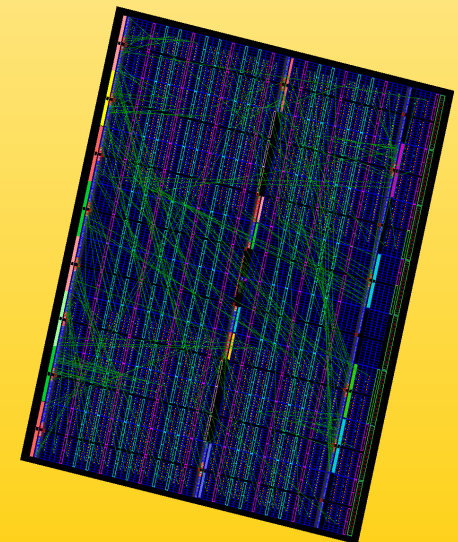


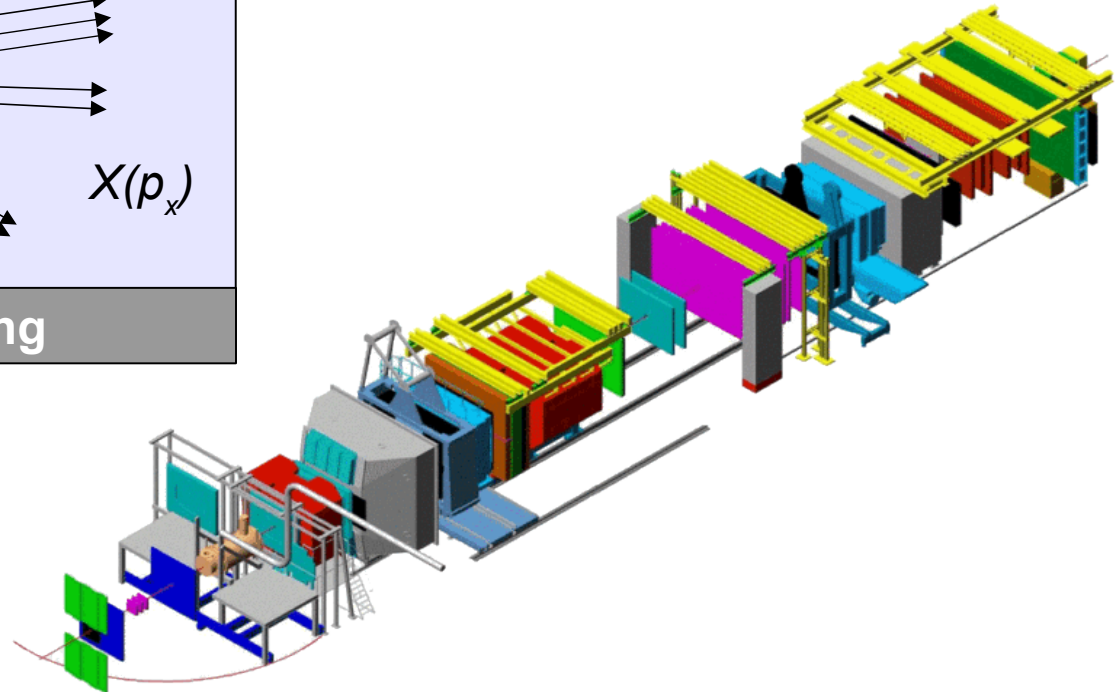
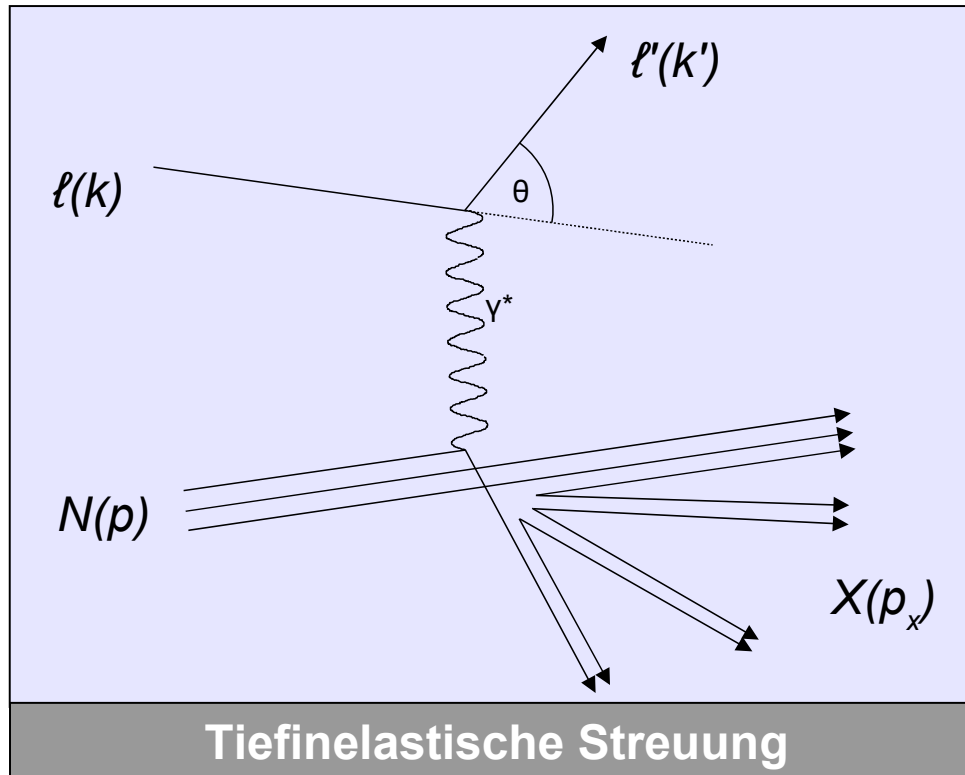
# Entwicklung eines ungetakteten 64-Kanal-Meantimers und einer Koinzidenzschaltung auf einem FPGA

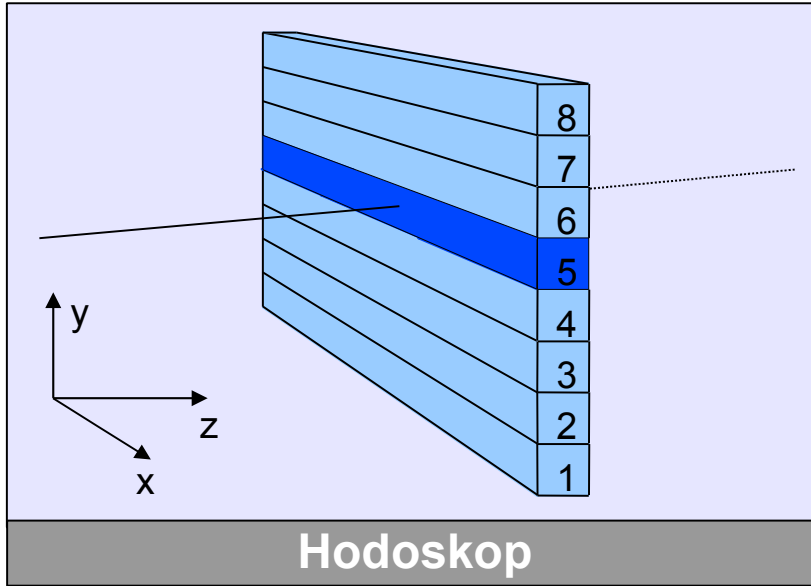
John Bieling

Physikalisches Institut Universität Bonn

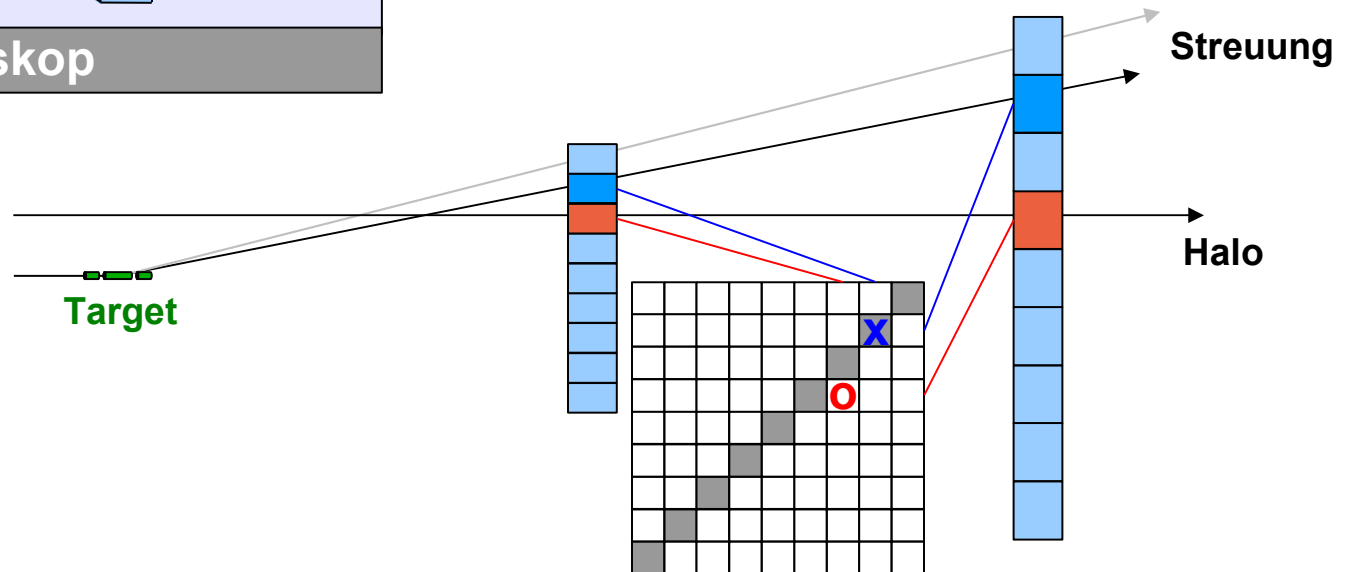
DPG-Tagung 2011







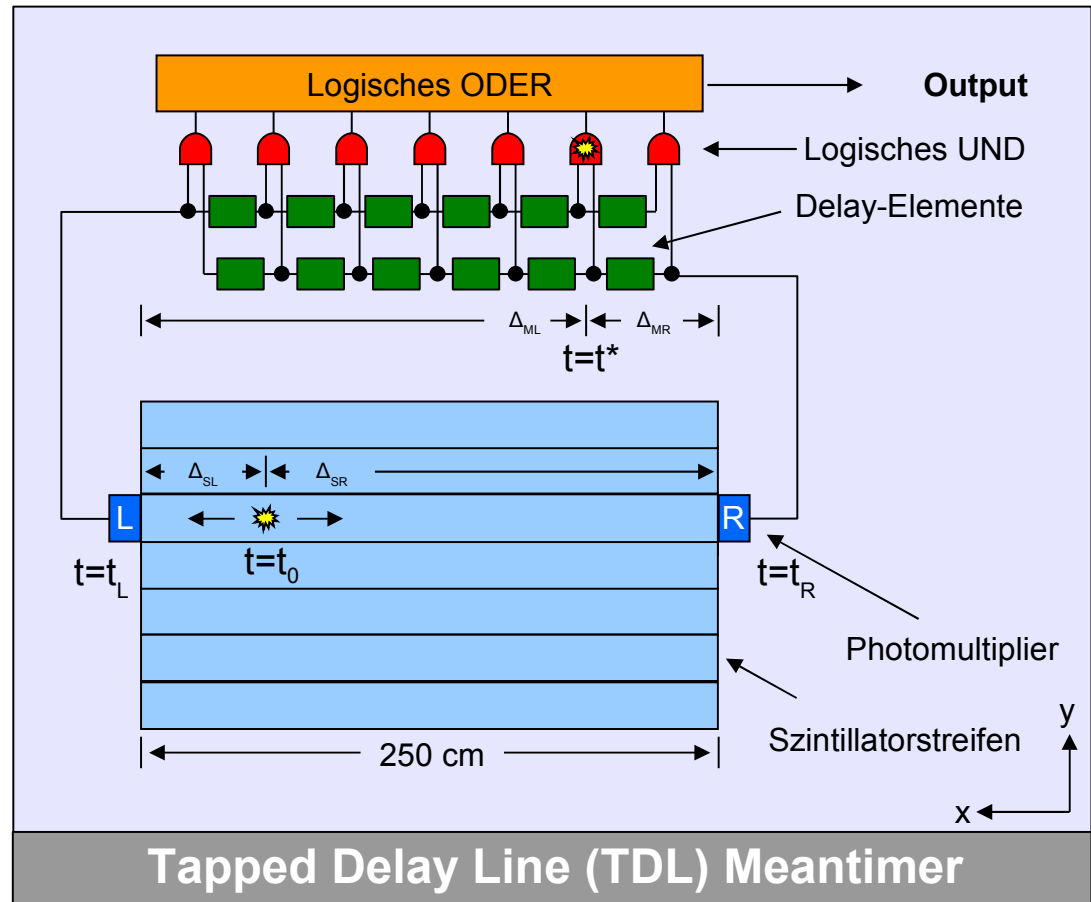
- 2 Hodoskope
- Selektive Koinzidenzschaltung



- Für Koinzidenzschaltung wird der Zeitpunkt benötigt, zu dem das Myon durch den Szintillatorstreifen geflogen ist (Ereigniszeitpunkt)
- Beidseitige Auslese der Streifen liefert  $t_L$  und  $t_R$
- Berechnung des Ereigniszeitpunkts ist relativ einfach:

$$t = \frac{t_L + t_R}{2}$$

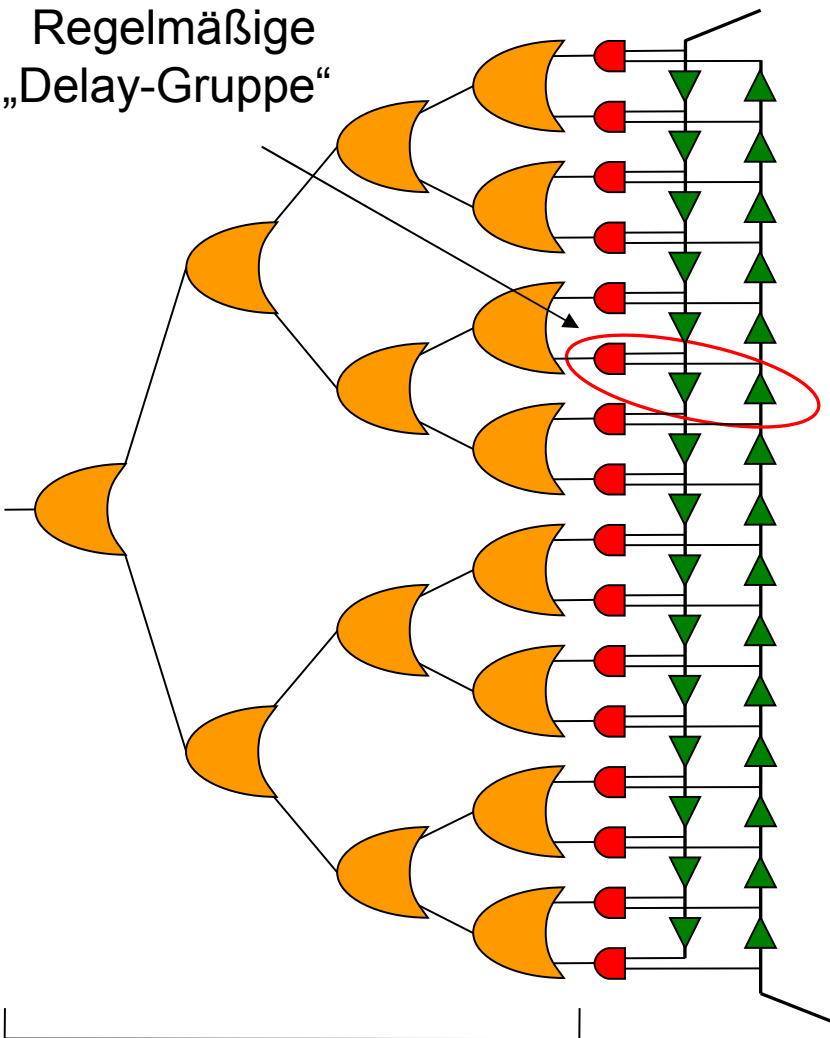
- Ereigniszeitpunkt wird aber in Echtzeit benötigt!  
-> Meantimer



- Für beide Hodoskope des Triggersystems je 32 identische Meantimer parallel auf einem FPGA implementieren
- Dynamischer Bereich der Meantimer: +/- 30ns
- Koinzidenzschaltung zwischen den beiden Hodoskopen ebenfalls auf dem gleichen FPGA implementieren
- Verwendung des GANDALF-Board der Uni Freiburg: Generisches FPGA-Board mit einem Virtex 5 FPGA (XC5VSX95T) und COMPASS-typischen Anschlüssen

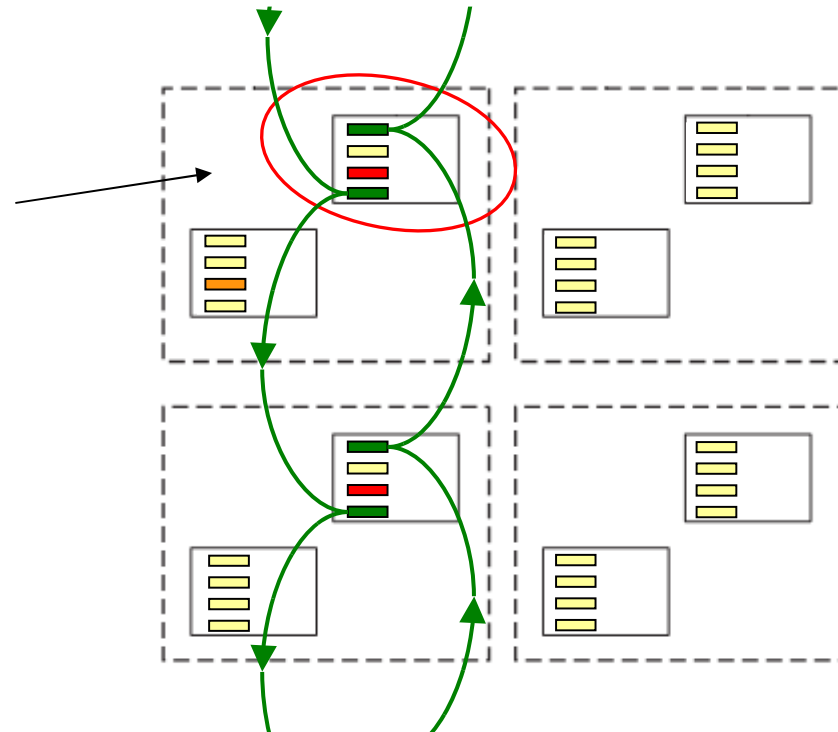
Maximale Taktrate des Virtex 5 reicht nicht aus, um die für COMPASS benötigte zeitliche Auflösung zu erreichen. Daher konkrete Forderung:

- Rein logische Schaltung ohne Taktung
- Tapped delay line allein durch Signallaufzeiten innerhalb des FPGAs

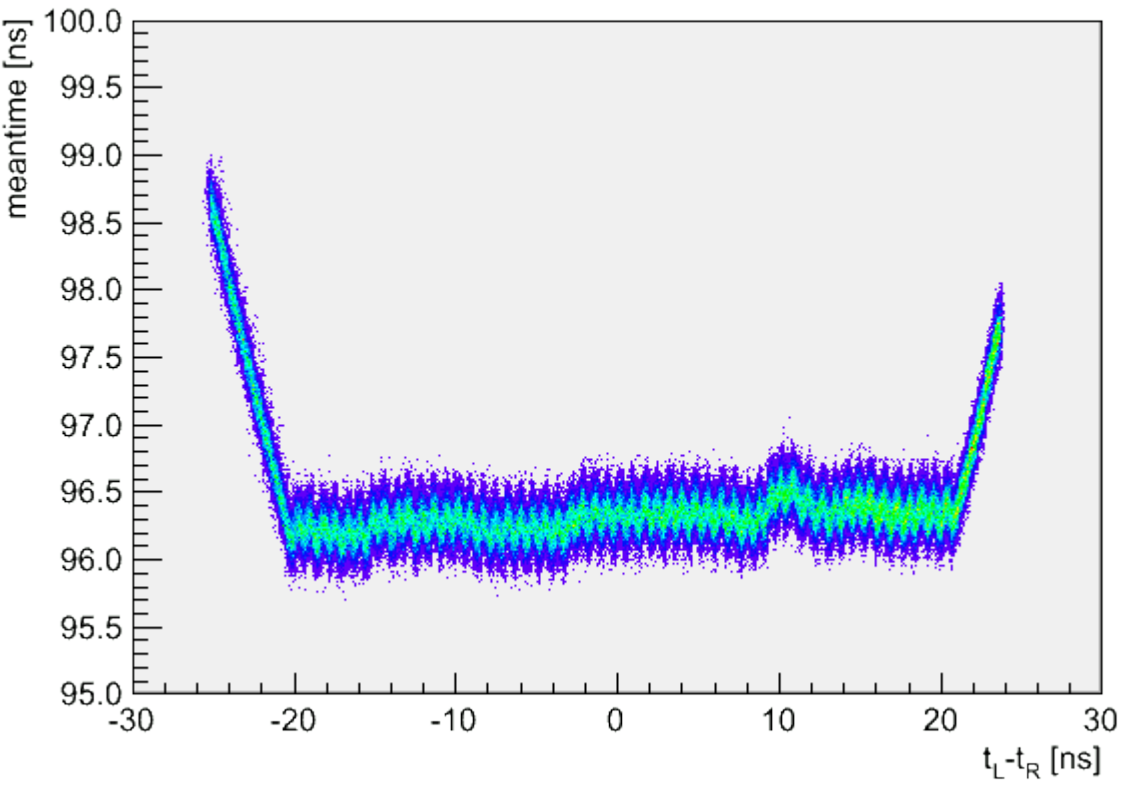
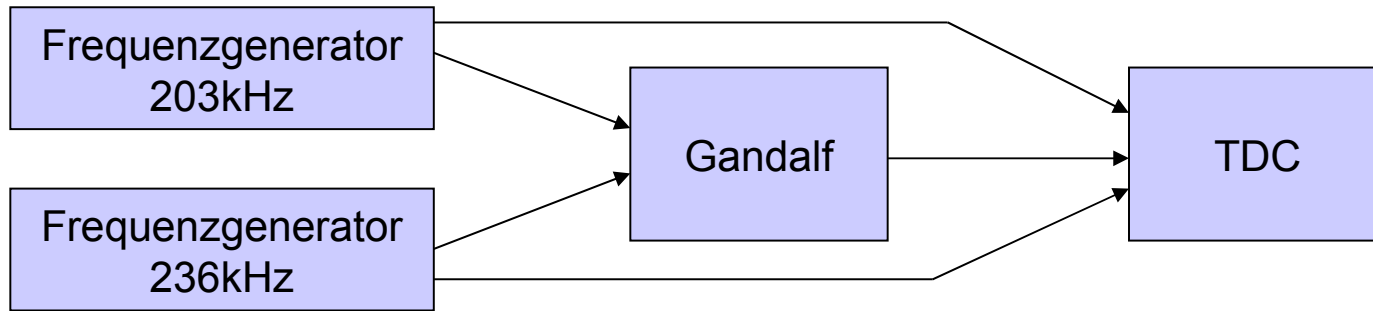


**Oder-Kaskade**

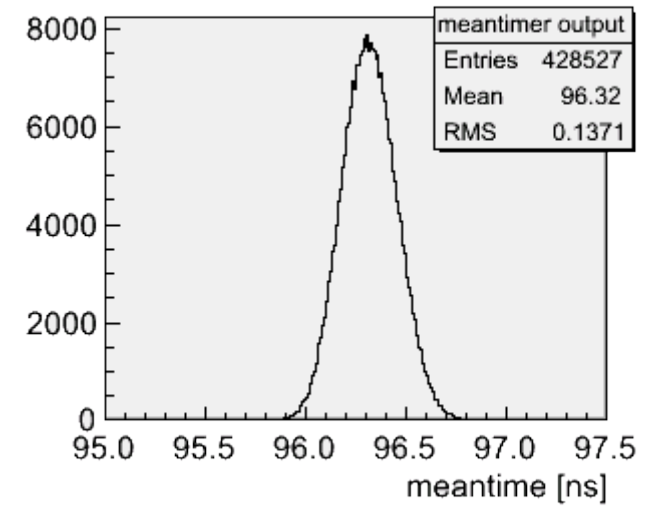
Einzelprüfung liefert genau eine Lösung mit identischen tapped delay lines überall auf dem FPGA: 579ps / Step

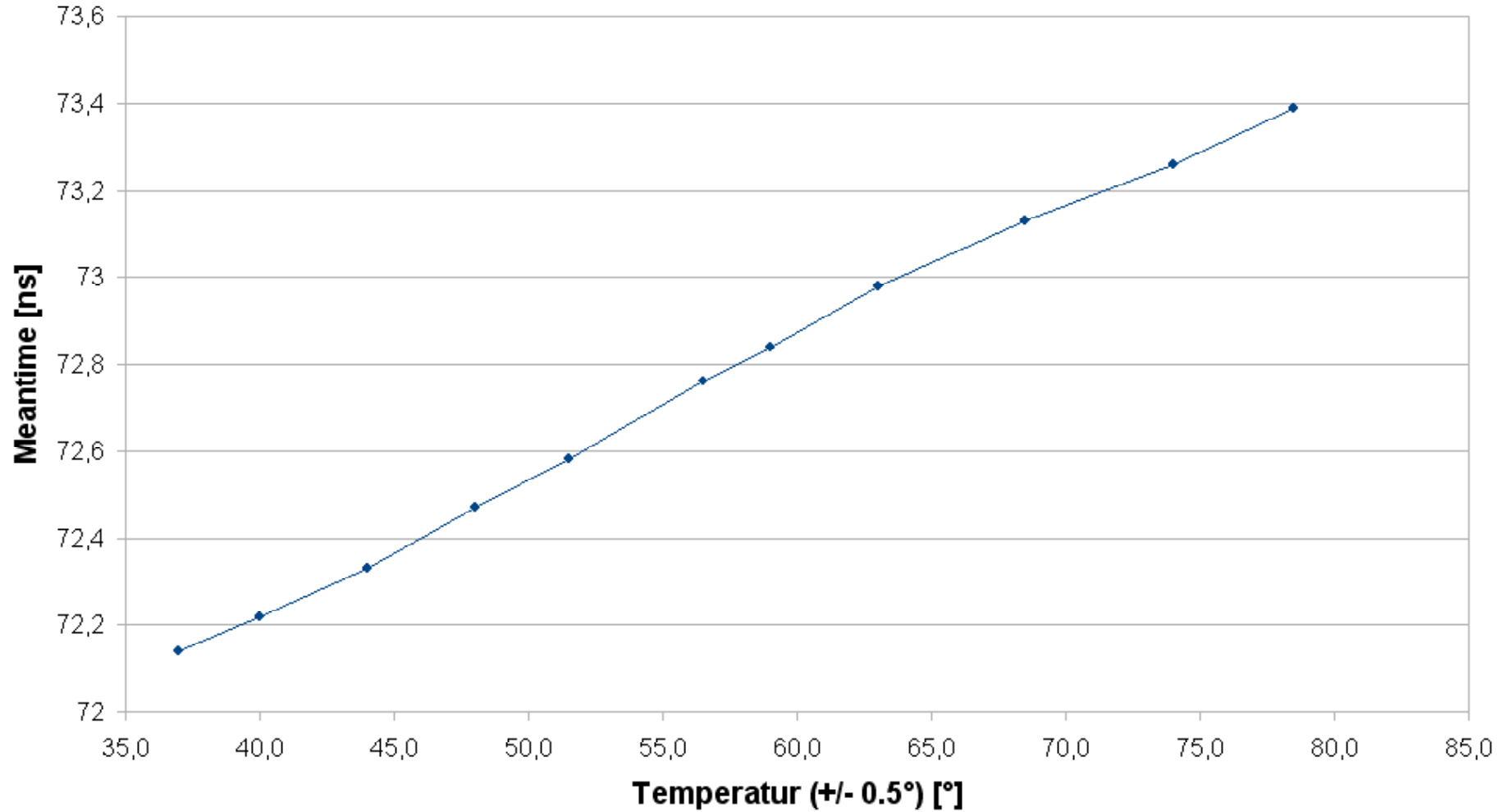


Keine exakte Lösung für die Oder-Kaskade, Differenz pro Stufe bis zu 10ps, addiert über alle 6 Stufen max. 35ps

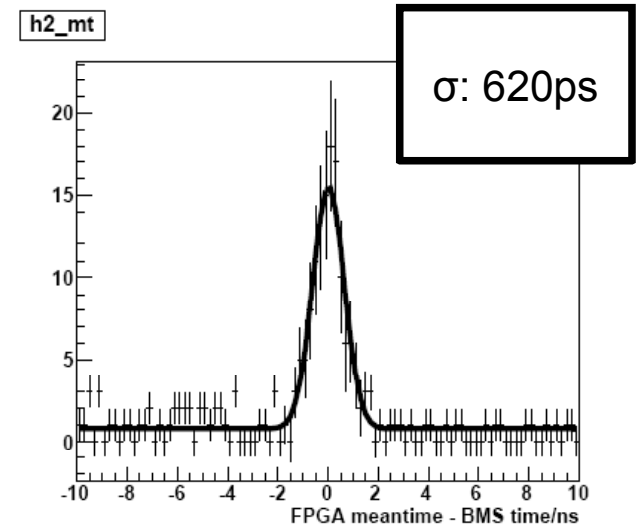
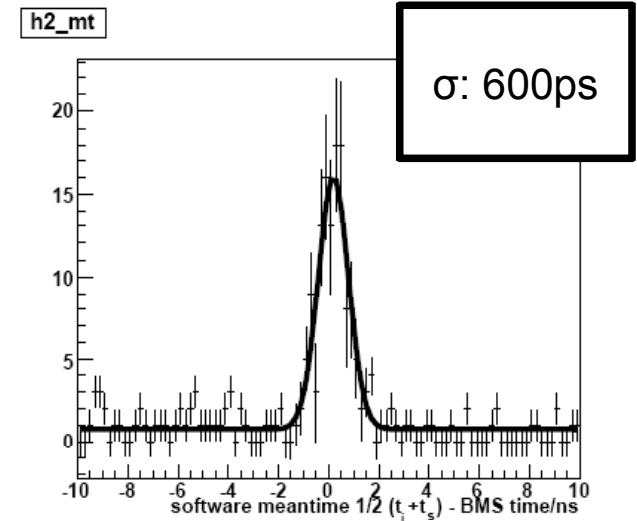
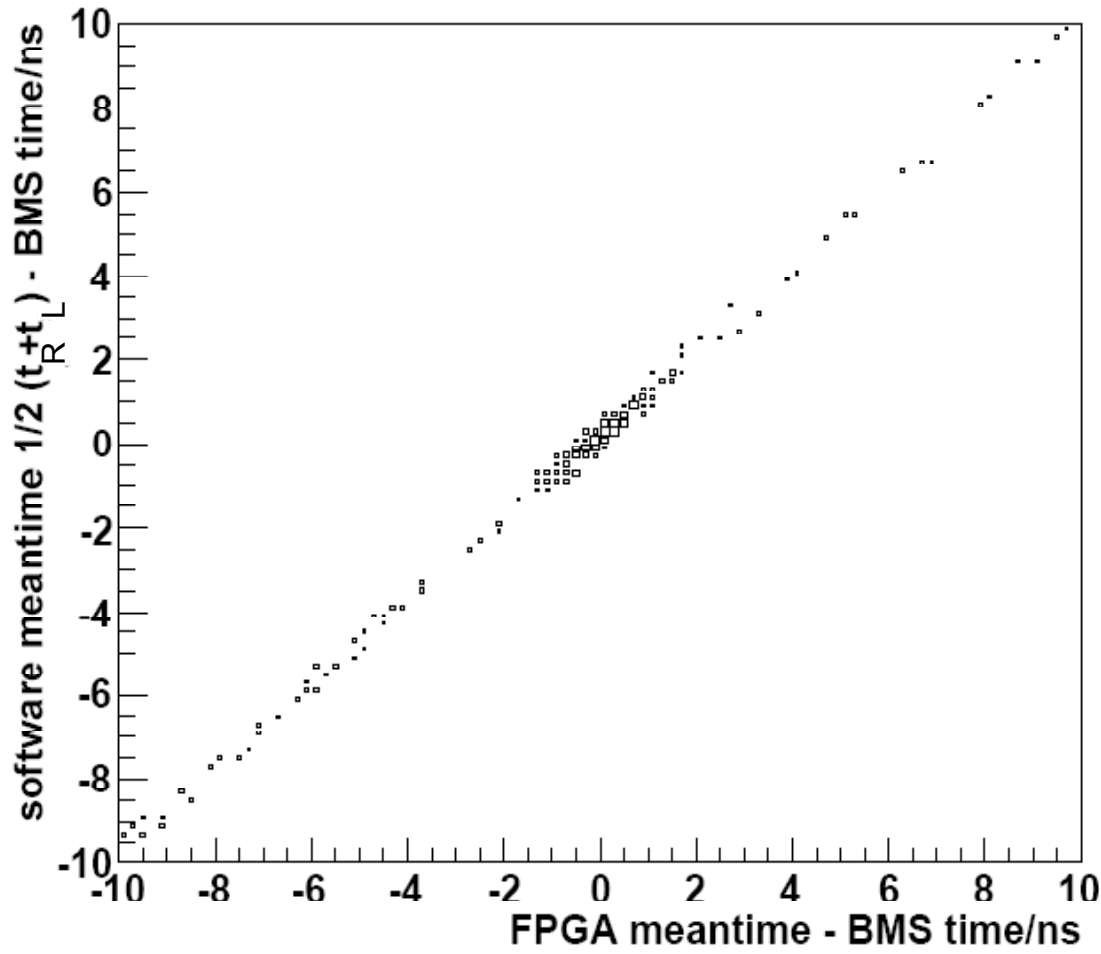


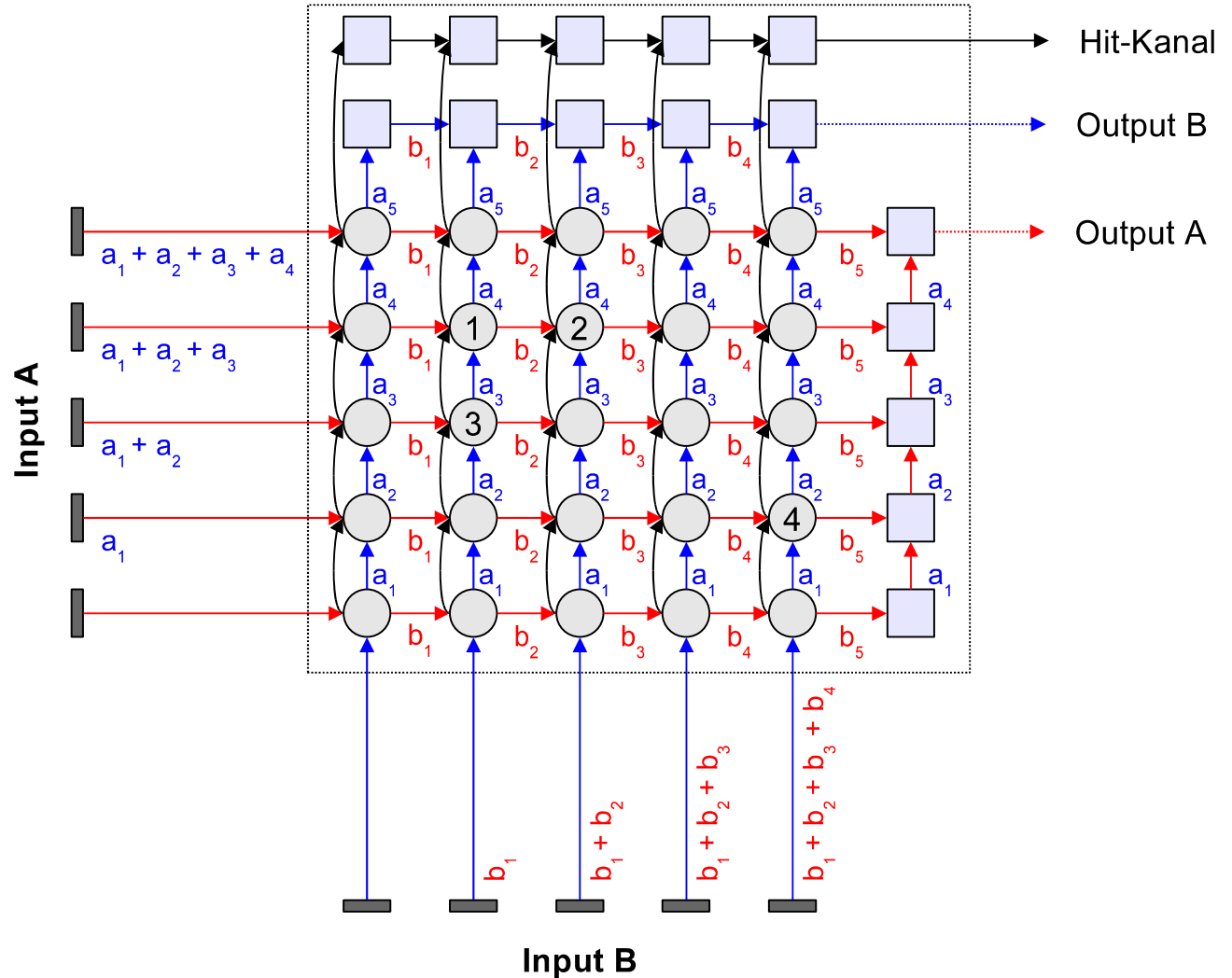
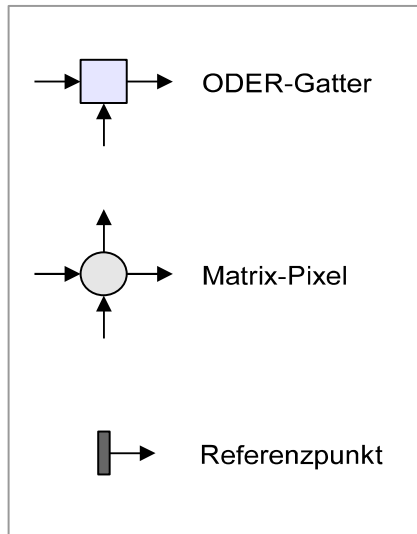
**Warum ist der dynamische Bereich kürzer als die erwarteten +/-30ns?**

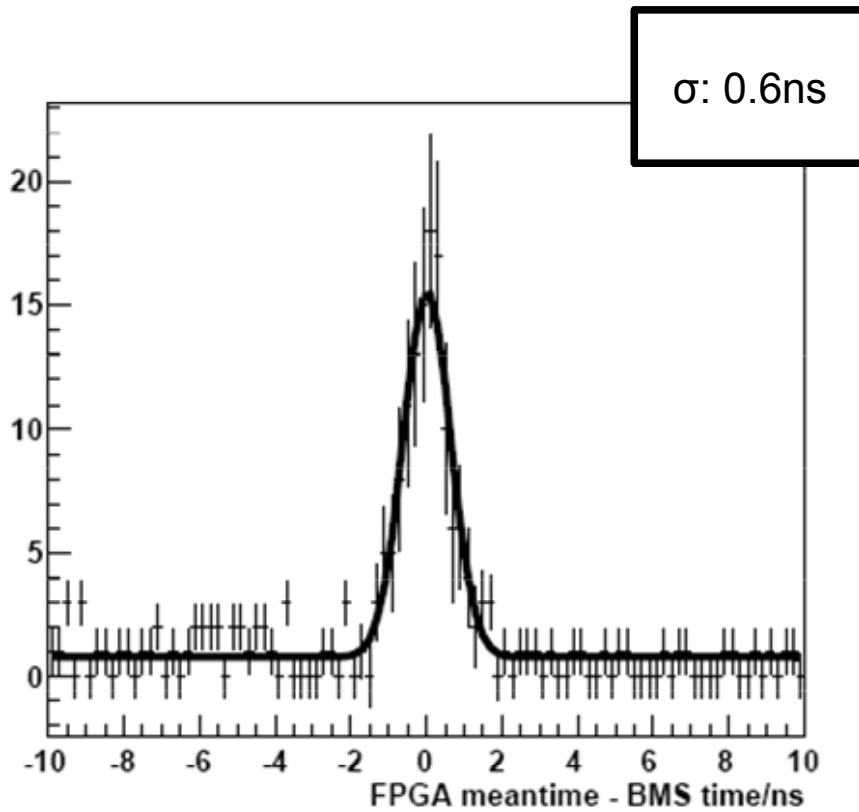




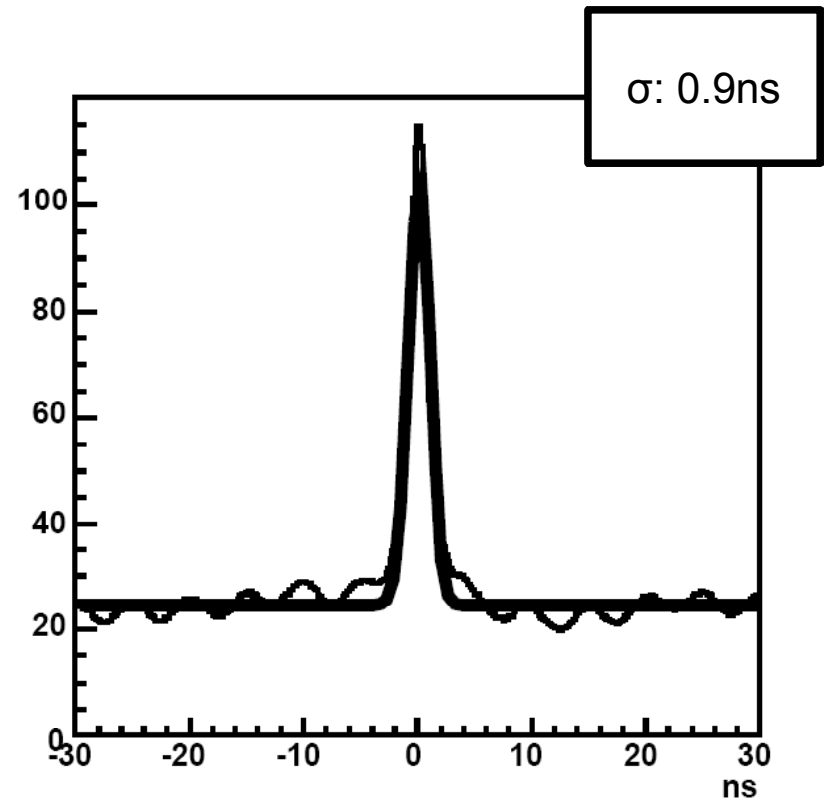






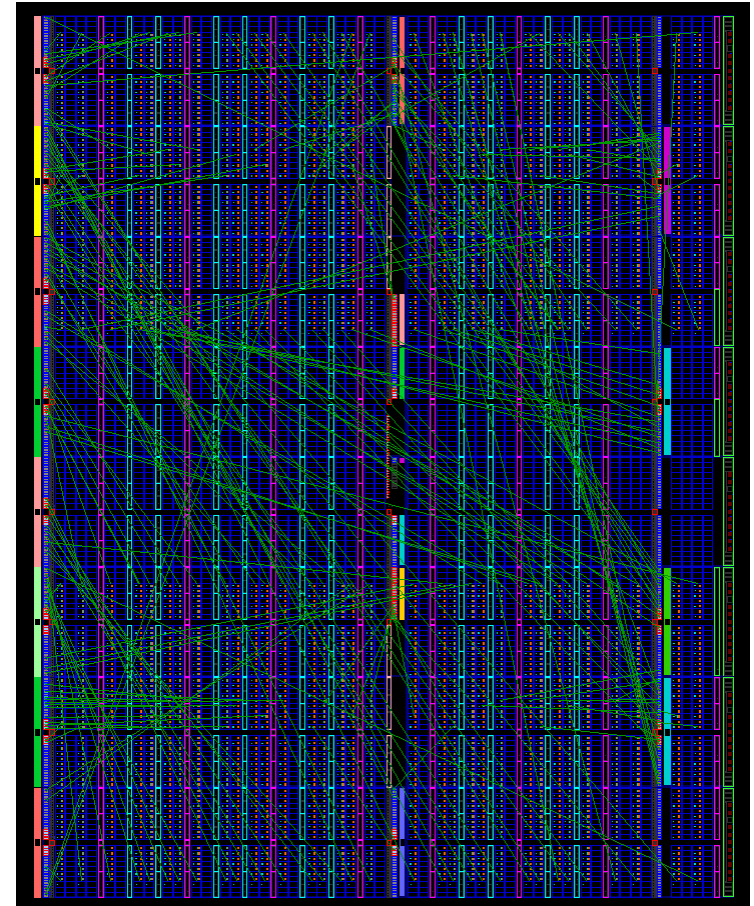


Einzelner Meantimer

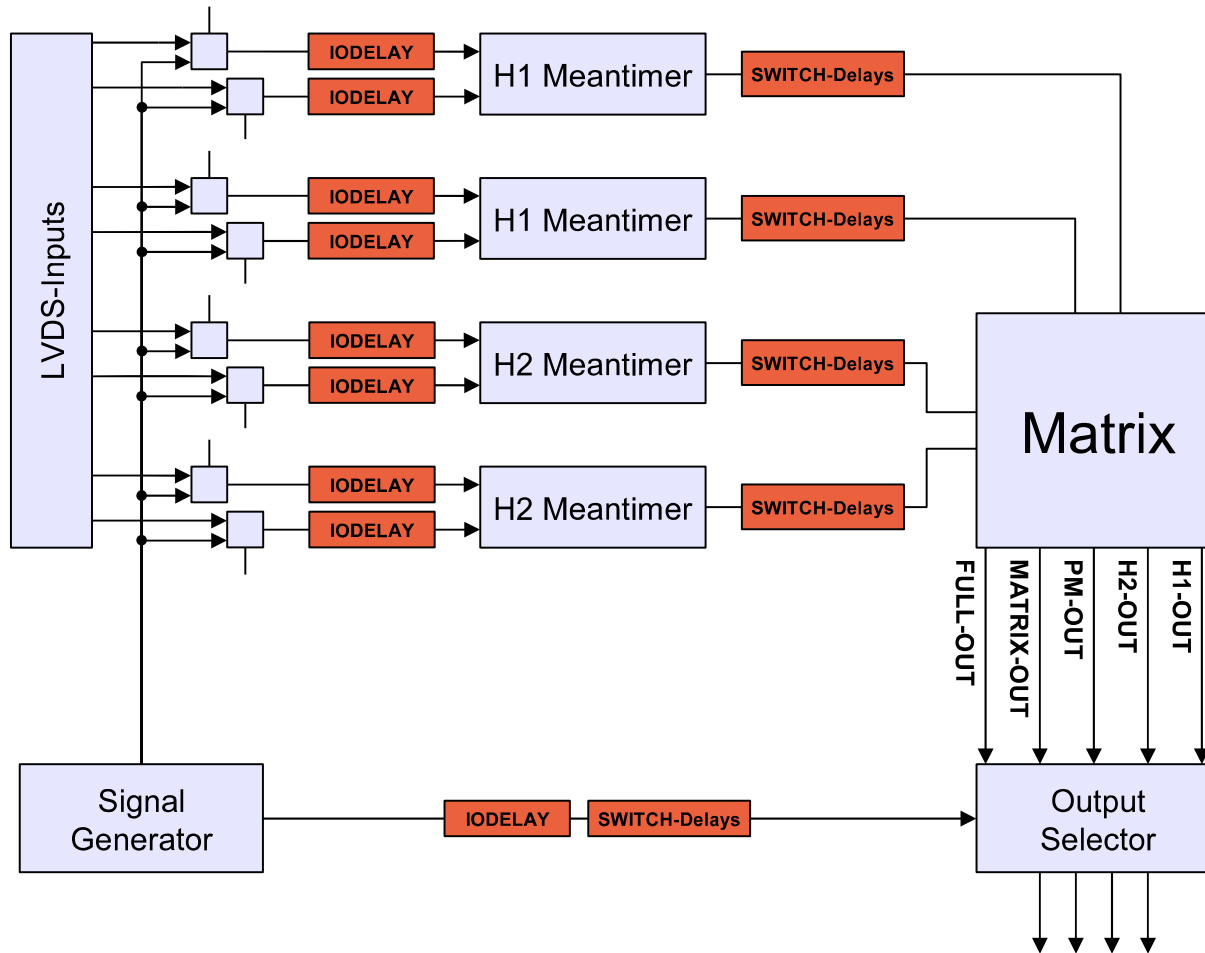


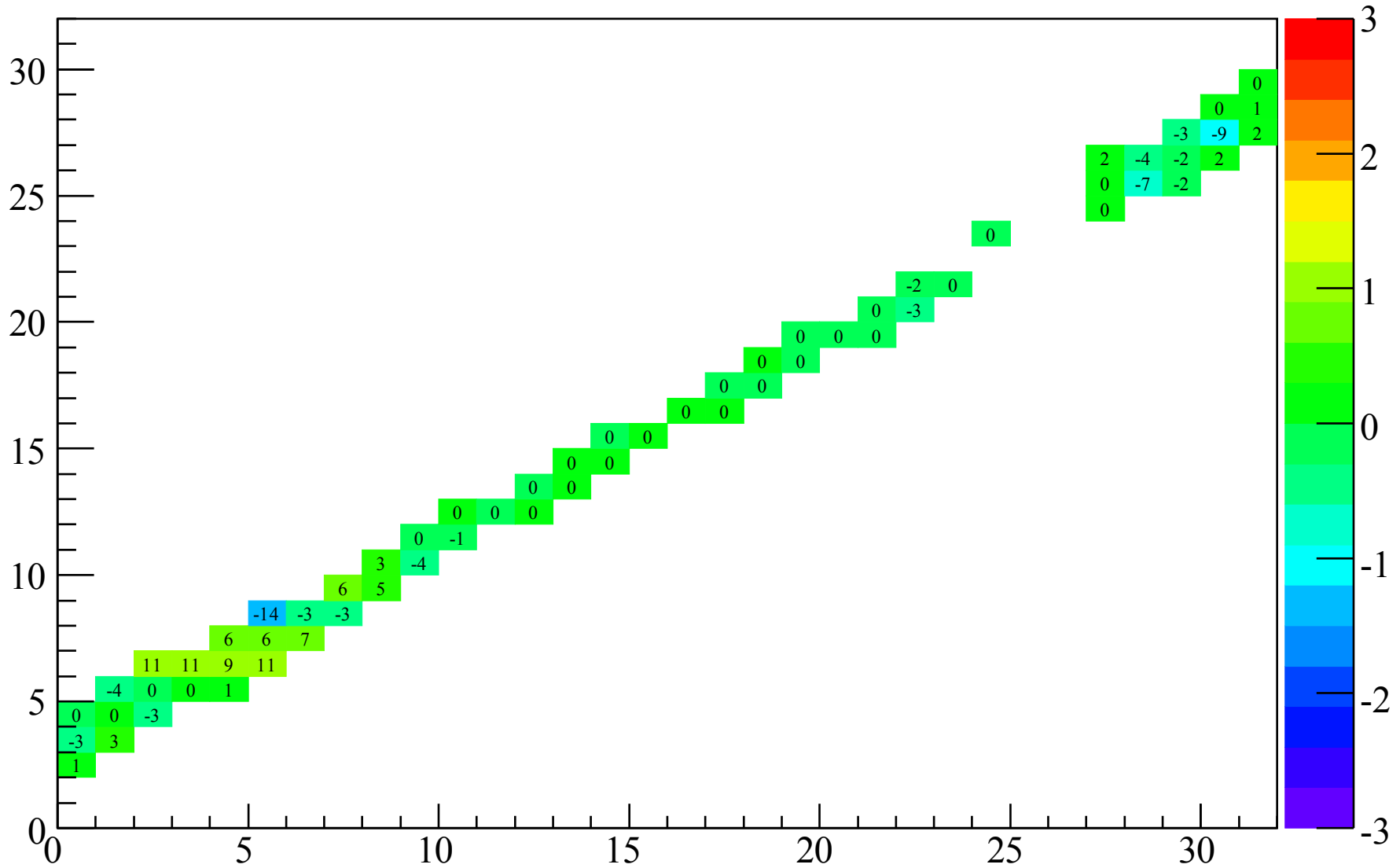
Kalibriertes Gesamtsystem

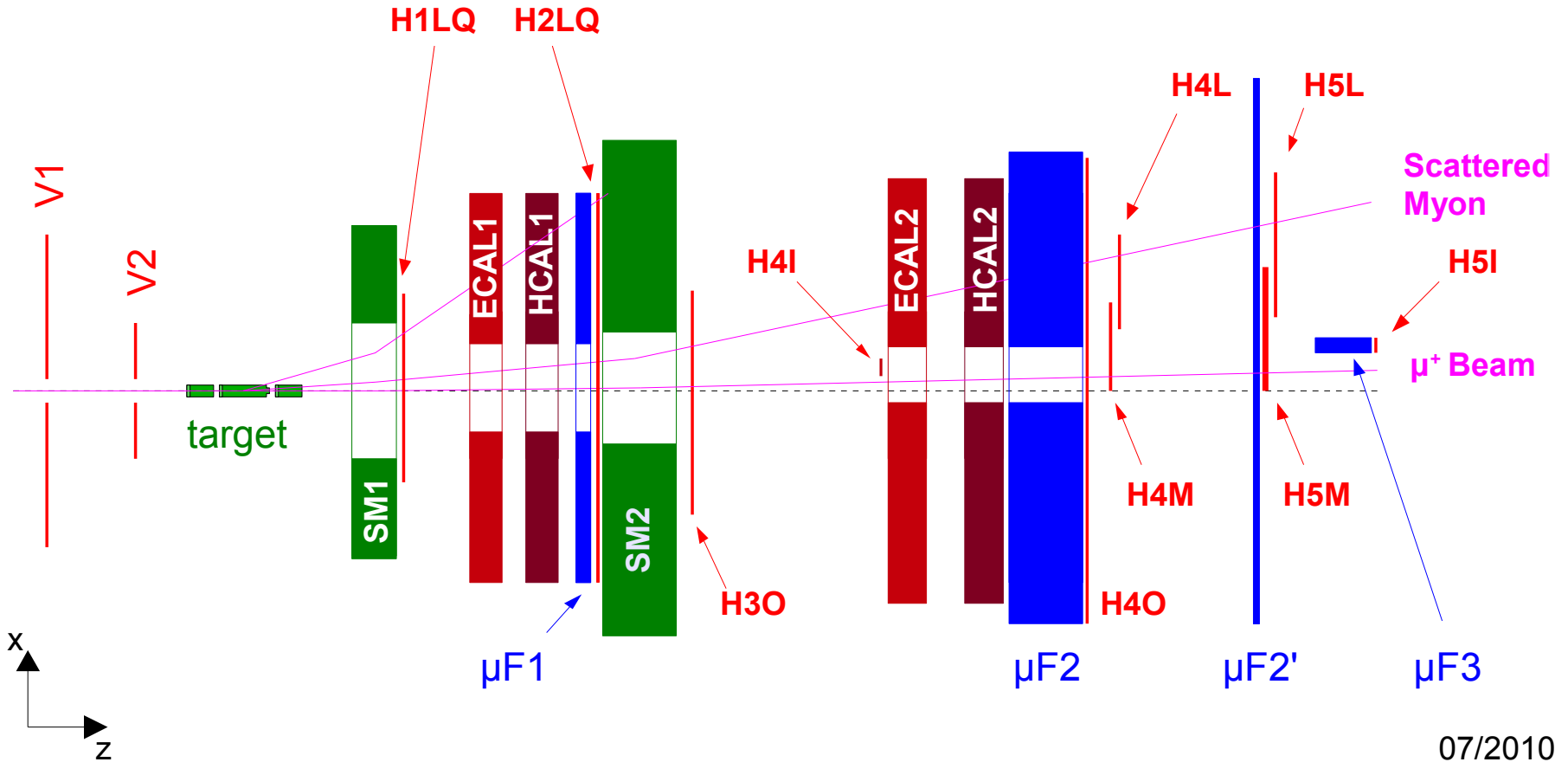
- 64 Meantimer mit einem Arbeitsbereich von ca. 20ns parallel implementiert
- einzelner Meantimer schwankt unter Laborbedingungen im Mittel um 140ps
- zusätzlich selektive 32x32 Koinzidenzschaltung auf dem FPGA implementiert
- effektives Ausgangssignal der kalibrierten Koinzidenzschaltung im Experiment schwankt im Mittel um ca. 900ps
- vergleichbar mit bereits existierender Hardware



**FPGART**

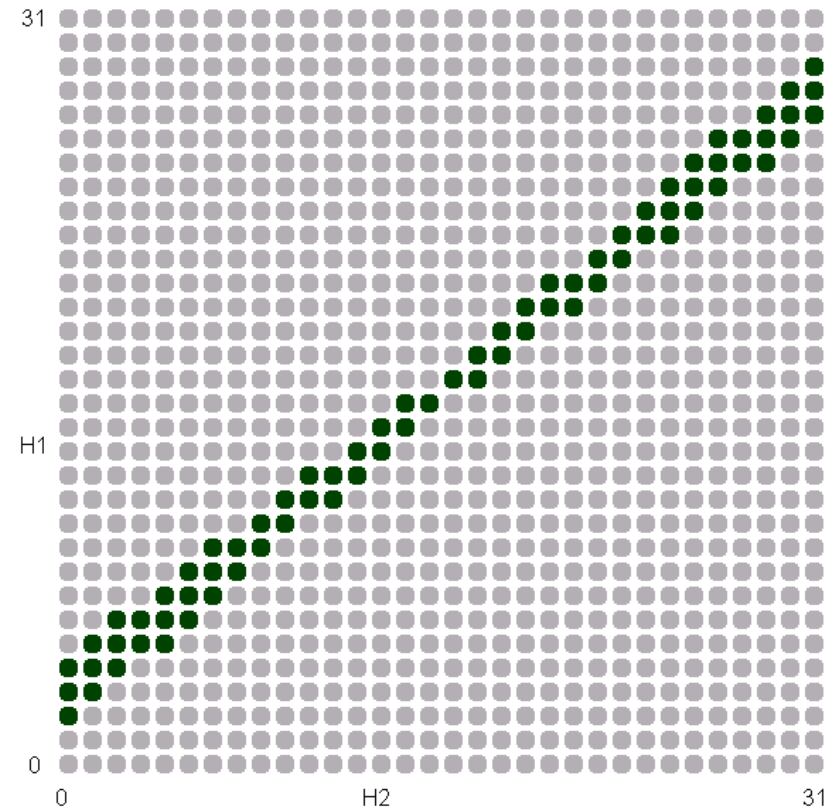






07/2010

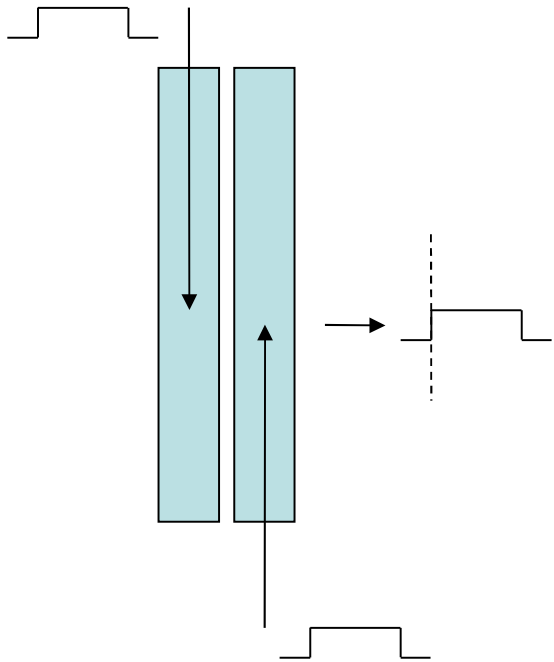
- Testsignale auf alle Kanäle
- Zeitkalibrierung
- Meantimer individuell an/aus
- Matrixpixel individuell an/aus



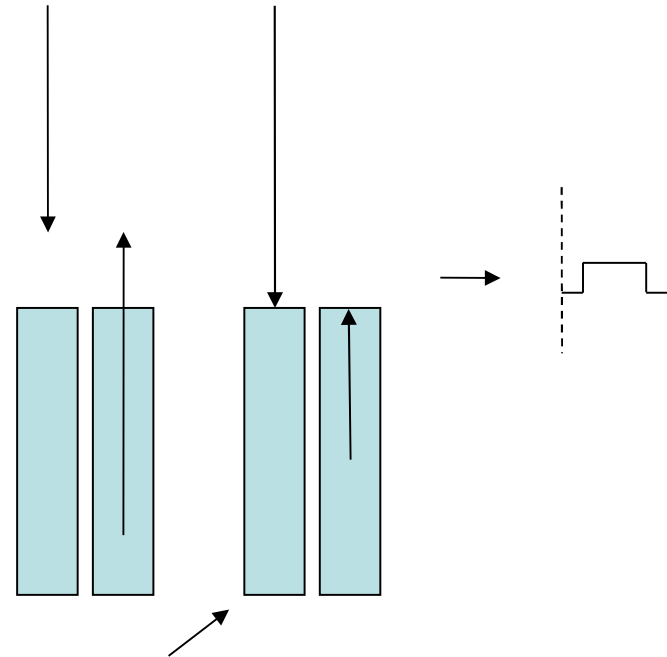
H1::1 ~17	L	<input type="range"/>	◀ ▶	31	◀ ▶	<input type="range"/>	1	◀ ▶
	R	<input type="range"/>	◀ ▶	13	◀ ▶	<input type="range"/>		◀ ▶
H1::2 ~18	L	<input type="range"/>	◀ ▶	45	◀ ▶	<input type="range"/>	0	◀ ▶
	R	<input type="range"/>	◀ ▶	19	◀ ▶	<input type="range"/>		◀ ▶



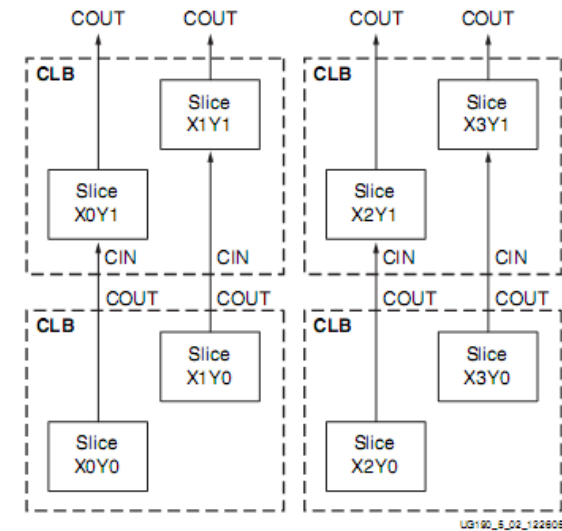
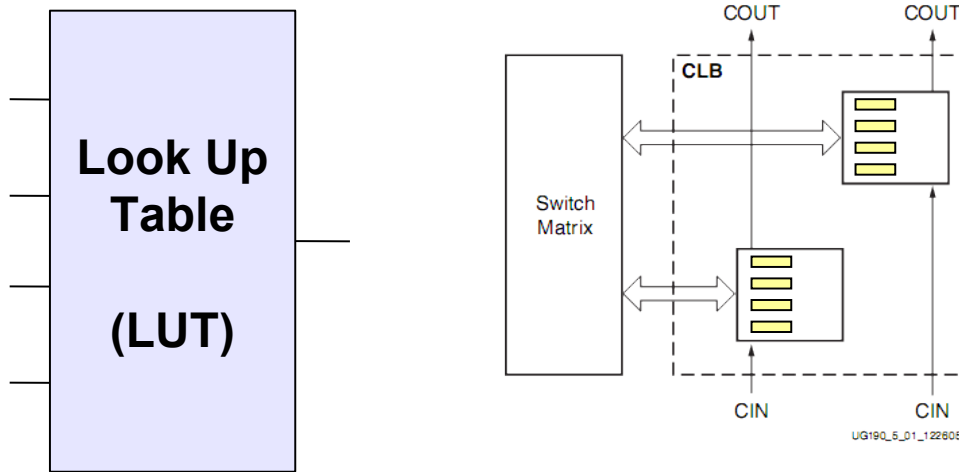
„Treffpunkt“ innerhalb des MT



„Treffpunkt“ außerhalb des MT



Effektives Ereignis  
für den Meantimer



- Regelmäßige Anordnung von CLBs (Configurable Logic Block), mit je 2 SLICES
- SwitchMatrizen verbinden die beiden SLICES innerhalb einer CLB, sind aber auch über interconnects mit den anderen SwitchMatrizen und so mit den anderen CLBs verbunden
- IODELAYs um Ein- und Ausgangssignale um ca. 5ns in 72ps Schritten zu verzögern